

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-340765

(43)Date of publication of application : 10.12.1999

(51)Int.Cl.

H03G 11/00

(21)Application number : 10-144921

(71)Applicant : MATSUSHITA ELECTRIC IND CO LTD

(22)Date of filing : 27.05.1998

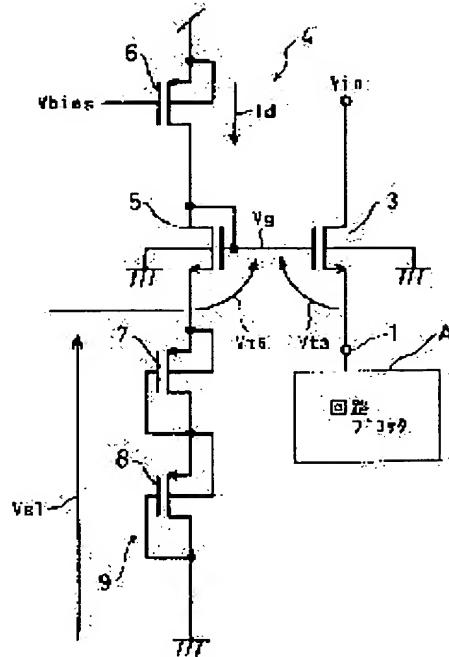
(72)Inventor : OMORI TETSUO
KOIZUMI TAKASHI
KATAOKA YUMIKO

(54) VOLTAGE LIMITING CIRCUIT FOR INTEGRATED CIRCUIT

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a voltage limiting circuit for an integrated circuit capable of expecting a stable operation without adjustment even when a threshold voltage of a transistor fluctuates.

SOLUTION: At the time of protecting a circuit block A, a first transistor 3 is interposed between signal input 1 and the circuit block A and a second transistor 5 similar to the first transistor 3 is interposed to a bias voltage generation circuit 4 for forming a bias voltage to be applied to the first transistor 3. Even when the threshold voltage of the first transistor 3 fluctuates, a threshold voltage of the second transistor 5 fluctuates and the bias voltage V_g applied from the bias voltage generation circuit 4 to the first transistor 3 is also compensated.



LEGAL STATUS

[Date of request for examination] 02.04.2001

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3423217

[Date of registration] 25.04.2003

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

BEST AVAILABLE COPY

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平11-340765

(43)公開日 平成11年(1999)12月10日

(51) Int.Cl.⁶

H 03 G 11/00

識別記号

F I

H 03 G 11/00

A

審査請求 未請求 請求項の数3 O L (全4頁)

(21)出願番号

特願平10-144921

(22)出願日

平成10年(1998)5月27日

(71)出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72)発明者 大森 哲郎

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72)発明者 小泉 隆

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72)発明者 片岡 由美子

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

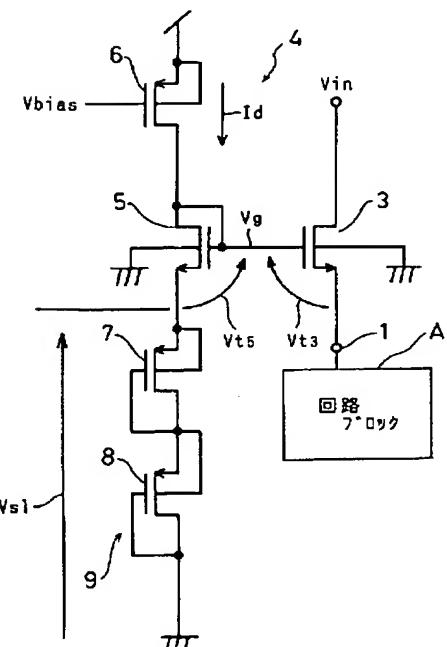
(74)代理人 弁理士 森本 義弘

(54)【発明の名称】 集積回路用の電圧制限回路

(57)【要約】

【課題】トランジスタのスレッシュホールド電圧のバラツキがあっても無調整で安定した動作を期待できる集積回路用電圧制限回路を提供することを目的とする。

【解決手段】回路ブロックAを保護するに際して、信号入力1と回路ブロックAの間に第1のトランジスタ3を介装し、この第1トランジスタ3に印加するバイアス電圧を作成するバイアス電圧生成回路4に第1のトランジスタ3と同様の第2のトランジスタ5を介装した。第1のトランジスタ3のスレッシュホールド電圧がばらついても、バイアス電圧生成回路4から第1トランジスタ3に印加されるバイアス電圧Vgも第2のトランジスタ5のスレッシュホールド電圧が変動して補償される。



【特許請求の範囲】

【請求項1】入力信号が印加される回路ブロックの入力側に設けられる電圧制限回路であって、ドレイン-ソース電極間が前記回路ブロックの信号入力と前記入力信号の間に介装された第1のトランジスタと、ドレインとゲートを接続してドレイン電流に応じてソース電流が流れるとともにゲートが第1のトランジスタのゲートに接続されドレイン-ソース電極間の一方が電流源に接続された第2のトランジスタと。

第2のトランジスタのドレイン-ソース電極間の他方と電圧源に接続された定電圧発生手段とを設け、前記定電圧発生手段によって第2のトランジスタのソース電圧を前記回路ブロックの最大耐圧よりも低く定常時の前記入力信号の電圧値よりも高く設定した集積回路用の電圧制限回路。

【請求項2】第1、第2のトランジスタとともにNチャネルトランジスタとし、第1のトランジスタのドレインに入力信号を印加し、第1のトランジスタのソースを回路ブロックの信号入力に接続し、

電流源の代わりに第2のトランジスタのドレインと電源の間に定電流動作する第3のトランジスタを介装した請求項1記載の集積回路用の電圧制限回路。

【請求項3】定電圧発生手段を、ソース電極が半導体集積回路の基板と第2のトランジスタのソースに接続され、ドレインとゲートを接続したPチャネルトランジスタで構成した請求項2記載の集積回路用の電圧制限回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、集積回路に内蔵する電圧制限回路に関するものである。

【0002】

【従来の技術】集積回路で構成された電気回路には、各段の出力には位相補償用のコンデンサなどが設けられているため、電源投入直後の立ち上げの際には一時的に過渡電流が流れ、後段の電気回路の入力に定常時の使用電圧よりも高い入力信号が印加されるものがある。

【0003】この場合には、定常時の使用電圧よりも高い入力信号が印加される虞のある回路ブロックは、定常時の使用電圧よりも高い過渡期の信号電圧を持ちこたえる耐圧のトランジスタで構成されている。

【0004】

【発明が解決しようとする課題】しかしながら、中耐圧や高耐圧のトランジスタは集積回路基板におけるトランジスタサイズが低耐圧トランジスタに比べて大きくなる問題がある。

【0005】そこで、定常時の使用電圧よりも高い入力信号が印加される虞のある回路ブロックを低耐圧トランジスタで構成するとともに、この低耐圧トランジスタで

構成される回路ブロックに印加される入力信号の電圧をトランジスタで構成される付加回路で制限することが考えられるが、トランジスタのスレッシュホールド電圧のバラツキが原因で、無調整で安定した動作を期待できないのが現状である。

【0006】本発明は上記の付加回路において、トランジスタのスレッシュホールド電圧のバラツキがあっても無調整で安定した動作を期待できる集積回路用電圧制限回路を提供することを目的とする。

【0007】

【課題を解決するための手段】本発明の集積回路用電圧制限回路は、図3に示すように回路ブロックAの信号入力1と入力端子2に印加される入力信号Vinの間に第1のトランジスタ3を介装し、この第1トランジスタ3に印加するバイアス電圧を作成するバイアス電圧生成回路4に第1のトランジスタ3と同様の第2のトランジスタ5を介装したことを特徴とする。

【0008】この構成によると、第1のトランジスタ3のスレッシュホールド電圧がばらついても、バイアス電

20 壓生成回路4から第1トランジスタ3に印加されるバイアス電圧Vgも第2のトランジスタ5のスレッシュホールド電圧で変化する。ここで第1、第2のトランジスタ3、5を同一のシリコン上で近傍にレイアウトし、形状、方向を同一にすることに作成すると両トランジスタのスレッシュホールド電圧を同一にすることができ、第1のトランジスタ3のスレッシュホールド電圧の影響を受けない無調整で安定した動作を期待できる。

【0009】

【発明の実施の形態】請求項1記載の集積回路用の電圧制限回路は、入力信号が印加される回路ブロックの入力側に設けられる電圧制限回路であって、ドレイン-ソース電極間が前記回路ブロックの信号入力と前記入力信号の間に介装された第1のトランジスタと、ドレインとゲートを接続してドレイン電流に応じてソース電流が流れるとともにゲートが第1のトランジスタのゲートに接続されドレイン-ソース電極間の一方が電流源に接続された第2のトランジスタと、第2のトランジスタのドレイン-ソース電極間の他方と電圧源に接続された定電圧発生手段とを設け、前記定電圧発生手段によって第2のトランジスタのソース電圧を前記回路ブロックの最大耐圧よりも低く定常時の前記入力信号の電圧値よりも高く設定したことを特徴とする。

【0010】請求項2記載の集積回路用の電圧制限回路は、請求項1において、第1、第2のトランジスタとともにNチャネルトランジスタとし、第1のトランジスタのドレインに入力信号を印加し、第1のトランジスタのソースを回路ブロックの信号入力に接続し、電流源の代わりに第2のトランジスタのドレインと電源の間に定電流動作する第3のトランジスタを介装したことを特徴とする。

【0011】請求項3記載の集積回路用の電圧制限回路は、請求項2において、定電圧発生手段を、ソース電極が半導体集積回路の基板と第2のトランジスタのソースに接続され、ドレインとゲートを接続したPチャネルトランジスタで構成したことを特徴とする。

【0012】以下、本発明の実施の形態を図1と図2に基づいて説明する。図1は保護対象の回路ブロックAとこれに付加された本発明の集積回路用の電圧制限回路とを示す。

【0013】入力信号 V_{in} は第1のトランジスタ3のドレインに印加され、第1のトランジスタ3のソースが回路ブロックAの信号入力1に接続されている。第1のトランジスタ3のゲートに接続されたバイアス電圧生成回路4は、ゲートが第1のトランジスタ3のゲートに接続された第2のトランジスタ5と、第2のトランジスタ5と電源の一方の極(+)の間に介装された第3のトランジスタ6と、第2のトランジスタ5と電源の他方の極(-)の間に介装された第4、第5のトランジスタ7、8とを有している。

【0014】第2のトランジスタ5はドレインとゲートが接続されている。低電流トランジスタとして動作する第3のトランジスタ6のゲートにはバイアス電圧 V_{bias} が印加されている。第3のトランジスタ6のソース・ドレイン間には、第3のトランジスタ5と第4、第5のトランジスタ7、8を介して定電流 I_d が流れる。

【0015】これによって、ソースと基板とを接続し、かつドレインとゲートを接続して定電流 I_d が流れて飽和動作している第4、第5のトランジスタ7、8の両端には定電圧 V_{s1} が発生し、第4、第5のトランジスタ7、8が定電圧発生手段9として動作している。

【0016】ここで、第1、第2のトランジスタ3、5は、回路ブロックAなどが構成されている集積回路基板の上の互いに近接した場所に同一のプロセスで形成されており、第1のトランジスタ3のドレイン・ソース間が導通するに必要なゲート・ソース間の電圧(スレッシュホールド電圧) V_{t3} と、第2のトランジスタ5のスレッシュホールド電圧 V_{t5} とは同一またはほぼ同一のものが得られる。

【0017】入力信号 V_{in} は、図2に示すように回路ブロックAを構成している低耐圧トランジスタの最大耐圧 V_{max} を越えた後に、この最大耐圧 V_{max} を下回る定常時使用電圧 V_n に安定する。

【0018】バイアス電圧 V_{bias} と定電圧発生手段9の出力電圧 V_{s1} は次のように設定されている。第1のトランジスタ3のソース電圧 V_{sm} は、

$$V_g - V_{sm} \geq V_{t3}$$

の関係が満足されないと入力信号 V_{in} と回路ブロックAの間が導通しないので、

$$V_{sm} \leq V_g - V_{t3}$$

の関係を守る。

【0019】このため、バイアス電圧生成回路4の出力電圧 V_g を規定することによって回路ブロックAに印加される信号電圧を最大耐圧 V_{max} よりも低い電圧に規定できる。

【0020】さらに、第1のトランジスタ3のスレッシュホールド電圧 V_{t3} が製造プロセスではらついても、第3のトランジスタ6に印加するバイアス電圧 V_{bias} をその都度に変更しなくとも回路ブロックAに印加される信号電圧を最大耐圧 V_{max} よりも低い電圧に規定できる。

【0021】ここでは第1のトランジスタ3のゲートに印加されるバイアス電圧 V_g (バイアス電圧生成回路4の出力電圧)は、

$$V_g = V_{s1} + V_{t5}$$

であって、第1のトランジスタ3のスレッシュホールド電圧 V_{t3} のばらつきに伴って、第1のトランジスタ3に近接した場所に同一のプロセスで形成され第2のトランジスタ5のスレッシュホールド電圧 V_{t5} も同様にばらつく。

【0022】したがって、バイアス電圧 V_{bias} を変更しなくてもバイアス電圧 V_g が第1のトランジスタ3のスレッシュホールド電圧 V_{t3} のばらつきに追従して補償するので、第1のトランジスタ3による制限電圧を最大耐圧 V_{max} を越えない制限電圧に維持することができる。

【0023】また、定電圧発生手段9を構成している第4、第5のトランジスタ7、8は、Pチャネルトランジスタを使用し、基板とソースとを接続しているので、基板バイアス効果によるバイアス電圧 V_g のばらつきも発生しない。

【0024】なお、定電圧発生手段9は第4、第5のトランジスタ7、8の2個を直列に接続して構成したが、直列に接続するトランジスタの数は V_{s1} に応じて変わる。上記の実施の形態では、P基板半導体で製造した場合を例に挙げて説明したが、N基板半導体を使用した場合は、Pチャネル、Nチャネルトランジスタを入れ替えて電源の(+)(-)を入れ替えれば、図2に示した波形は逆極性になるが同一の効果が得られる。

【0025】

【発明の効果】請求項1の構成によると、回路ブロックの信号入力と入力信号 V_{in} の間に第1のトランジスタを介し、この第1のトランジスタに印加するバイアス電圧を作成するバイアス電圧生成回路に第1のトランジスタと同様の第2のトランジスタを介して、第2のトランジスタのソース電圧を前記回路ブロックの最大耐圧よりも低く定常時の前記入力信号の電圧値よりも高く設定したため、回路ブロックを構成する多数のトランジスタを低耐圧トランジスタで構成して第1、第2のトランジスタなどの数個のトランジスタを中耐圧または高耐圧のものを使用することによって、起動直後などの過渡時

5

の入力信号の過大入力から回路ブロックを保護できるだけでなく、第1のトランジスタのスレッシュホールド電圧がばらついても、無調整で制限電圧を保護対象回路の耐圧以下に維持できるものである。

【図面の簡単な説明】

【図1】本発明の電圧制限回路の実施の形態の構成図

【図2】同実施の形態の入力信号の過渡期の変化と制限動作の説明図

【図3】クレーム対応図

【符号の説明】

A 回路ブロック（保護対象）

* Vin 入力信号

3 第1のトランジスタ

4 バイアス電圧発生手段

5 第2のトランジスタ

6 第3のトランジスタ

7, 8 第4, 第5のトランジスタ

9 定電圧発生手段

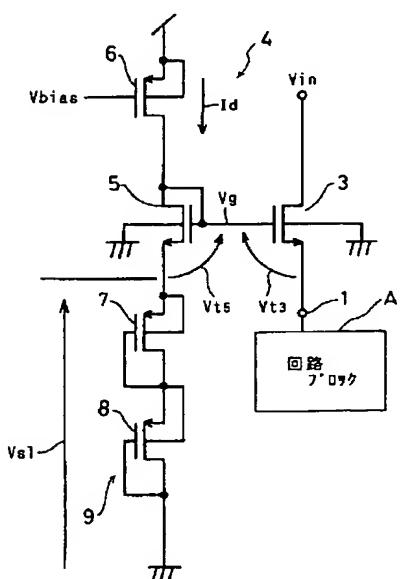
Vm ax 回路ブロックの最大耐圧

Vs m 制限電圧

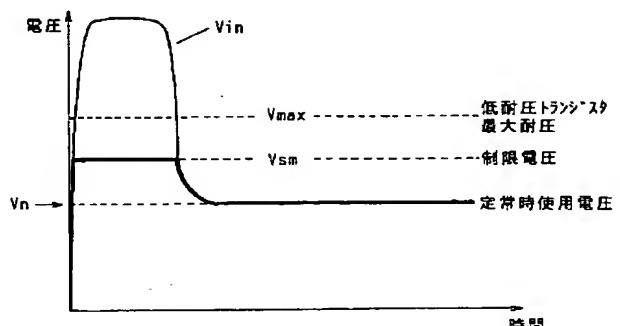
10 Vn 定常時使用電圧

*

【図1】



【図2】



【図3】

